



## 【特許請求の範囲】

【請求項1】 基板上に同一のチップとなるように複数個配置して形成されたチップを検査するためのチップのパターン欠陥検査装置において、被検査パターンの検出画像信号を検出する手段と、ある検査パターンの検出画像信号を、そのチップ内、または、これを基板上の隣接あるいは離れた被検査パターンの検出画像信号と比較する手段とを有し、そのチップを複数の領域に論理的に分割して、その分割された複数の領域に応じて、検出画像信号に対して変換をおこない、それら変換の結果を用いて前記パターンを検査することを特徴とするチップのパターン検査装置。

【請求項2】 前記分割された複数の領域に応じて、検出画像信号に対しておこなう変換が、検出画像信号の階調変換であることを特徴とする請求項1記載のチップのパターン検査装置。

【請求項3】 前記分割された複数の領域に応じて、検出画像信号に対しておこなう変換が、データを比較する際のデータ読み出しの遅延量であることを特徴とする請求項1記載のチップのパターン検査装置。

【請求項4】 前記分割された複数の領域に応じて、欠陥判定パラメータを異ならせて前記パターンを検査することを特徴とする請求項1記載のチップのパターン検査装置。

【請求項5】 前記領域を論理的に分割するのを、予め収集した画像データに基づいて判別することを特徴とする請求項1ないし請求項4記載のいずれかのチップのパターン検査装置。

【請求項6】 前記領域を論理的に分割するのを、設計データに基づいて判別することを特徴とする請求項1ないし請求項4記載のいずれかのチップのパターン検査装置。

【請求項7】 前記領域を論理的に分割するのを、実測値データに基づいて判別することを特徴とする請求項1ないし請求項4記載のいずれかのチップのパターン検査装置。

【請求項8】 基板上に同一のチップとなるように複数個配置して形成されたチップを検査するためのチップのパターン欠陥検査方法において、被検査パターンの検出画像信号を検出して、ある検査パターンの検出画像信号を、そのチップ内、または、これを基板上の隣接あるいは離れた被検査パターンの検出画像信号と比較し、そのチップを複数の領域に論理的に分割して、その分割された複数の領域に応じて、検出画像信号に対して変換をおこない、それら変換の結果を用いて前記パターンを検査することを特徴とするチップのパターン検査方法。

【請求項9】 前記分割された複数の領域に応じて、検

出画像信号に対しておこなう変換が、検出画像信号の階調変換であることを特徴とする請求項8記載のチップのパターン検査方法。

【請求項10】 前記分割された複数の領域に応じて、検出画像信号に対しておこなう変換が、データを比較する際のデータ読み出しの遅延量であることを特徴とする請求項8記載のチップのパターン検査方法。

【請求項11】 前記分割された複数の領域に応じて、欠陥判定パラメータを異ならせて前記パターンを検査することを特徴とする請求項8記載のチップのパターン検査方法。

【請求項12】 前記領域を論理的に分割するのを、予め収集した画像データに基づいて判別することを特徴とする請求項8ないし請求項11記載のいずれかのチップのパターン検査方法。

【請求項13】 前記領域を論理的に分割するのを、設計データに基づいて判別することを特徴とする請求項8ないし請求項11記載のいずれかのチップのパターン検査方法。

【請求項14】 前記領域を論理的に分割するのを、実測値データに基づいて判別することを特徴とする請求項8ないし請求項11記載のいずれかのチップのパターン検査方法。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は、チップのパターン検査装置および方法に係り、半導体ウェハ上にチップを形成する際のパターン検査工程に用いられるものであり、メモリ、ロジックチップを問わず広く適用可能であり、チップの領域の特性に応じて適切な検査をおこなえるようにするチップのパターン検査装置および方法に関する。

## 【0002】

【従来の技術】メモリ、マイクロプロセッサなどを生産する際には、シリコンの半導体ウェハ上にチップを多数作り、そのチップ上に微細なパターンを形成する技術が一般的である。このためのパターン検査の方法としては、隣接する2チップを比較する方法が従来より、フォトマスクあるいは、ウェハの外観検査装置として広く用いられてきた。これを「2チップ比較検査」と言う。

【0003】ところで、チップ上には、マイクロプロセッサのロジック部のように繰り返しのパターンがあまり見られない所と、DRAM上のメモリスルのように繰り返しのパターンで構成されている所がある。DRAMのように、繰り返しのパターンで形成されていることが多いチップの検査方法として「繰り返しのパターン比較検査」が提案されている。

【0004】2チップ比較検査は、隣接するチップ同士では同一のパターンを持っている特徴に着目し、数mm～数十mm単位で隣接する2チップの同じパターンを比較して、欠陥検出をおこなう比較検査方法である。

【0005】一方、繰り返しパターン比較検査は、チップ内のメモリセル領域においては数 $\mu\text{m}$ ～数十 $\mu\text{m}$ 単位で同一のパターンセルが繰り返されている特徴に着目し、隣接セルのパターンを比較して欠陥検出をおこなう比較検査方法である。

【0006】一般的に、チップ比較検査は、数 $\text{mm}$ ～数十 $\text{mm}$ 単位で隣接する2チップのパターンを比較するため、多層パターンを有する半導体ウェハの場合、チップによるパターン寸法、パターンの重ね合わせ精度等の差異により微細な欠陥を検出するのは難しいため、数 $\mu\text{m}$ ～数十 $\mu\text{m}$ 単位のパターンセルの比較をおこなう繰り返しパターン比較検査より感度が劣るという問題点があった。

【0007】一方、繰り返しパターン比較検査は、数 $\mu\text{m}$ ～数十 $\mu\text{m}$ しか離れていないすぐ近傍のパターンを比較するため、比較するパターン同士の差異が小さく、微細な欠陥まで検出可能であるという特徴がある。しかしながら、その比較の性質上、繰り返しパターン部しか検査できないという問題点があった。

【0008】この問題点を解決するため、特開平3-23250号公報記載のように、チップ内のパターン配置情報をもとに検査領域を繰り返しパターン部とそれ以外に分けて、検査領域データをもとにチップ比較、繰り返しパターン比較の各々が重複しないように検査する方法がある。

【0009】

【発明が解決しようとする課題】上記特開平3-23250号公報記載の検査方法は、検査領域の性質に応じて、検査方法を変えるため、繰り返しパターン部と、そうでない部分、すなわち、非繰り返しパターン部が混在するチップでは有効な検査方法である。しかしながら、検査領域の種類としては、繰り返しパターン部とそれ以外の2種類しか設定が不可能なため、例えば、図21に示すように、同一チップ内に繰り返しパターンのピッチが異なる領域が2カ所以上存在する場合には、どちらか一方の領域はチップ比較となり、繰り返し性があるにもかかわらず繰り返しパターン比較より感度が低くなる問題がある。

【0010】ここで、図23は、ある領域Aのピッチが $\alpha$ であり、他の領域Bのピッチがそれとは異なった $\beta$ であることを示す模式図である。

【0011】また、図24で示されるようにマイクロプロセッサのようなロジックチップは、非繰り返しパターンからなる領域C、D、E、Fの論理回路部分等と、繰り返しパターンからなる領域A、Bの内蔵メモリ等により構成されているのが一般的である。この場合には、非繰り返しパターン部分は、チップ比較検査で検査されるが、図23の各図に示されているように、チップ比較検査がおこなわれる領域の中でも、場所によって明るさが大きく異なり、A/D変換出力信号レベルが大きく

く異なる。

【0012】ここで、図24は、マイクロプロセッサが複数の領域を持つことを示した模式図である。また、図25は、その図24に示される各断面での明るさを表したグラフである。

【0013】一般にデジタル技術を基盤としたパターン検査では、断面を測定して得られるA/D変換出力信号を、比較検査用の信号に変換する階調変換をおこなう。従来の技術では、例えば、A/D変換出力信号に対して、図26に示すように、一律に線形変換する。そのため、領域A、B、Cを例にとると、階調変換後の出力幅に差が生じ、検出感度に差が生じる。ここで、図26は、従来技術に係るA/D出力値と階調変換出力との関係を示すグラフである。

【0014】すなわち、A/D変換出力信号が小さい暗い領域Cでの階調変換した後のパターン階調は、A/D変換出力信号が大きい明るい領域Aでの階調変換した後のパターン階調に比べて低くなる。このため、パターンと欠陥との階調差が小さくなり、結果的に感度が低くなる。

【0015】このため、階調変換した出力値を比較する差画像信号では、図27のように検出領域により検出したい欠陥の信号レベルが異なることになる。そのため、従来技術の検査方法では、同じしきい値では欠陥を見逃したり、逆に虚報を大量に発生させたりもする。ここで、図27は、領域Aと領域Bとの差画像信号と、理想的なしきい値を比較して示したグラフである。例えば、領域Bに領域Aのしきい値を適用しても、欠陥は発見されず、逆に、領域Aに領域Bのしきい値を適用すれば、欠陥でもないのに欠陥が多く発見されることになる。このように、検出感度が、まちまちのチップでは、取り扱いが困難であり、統一的に同じ検出感度で検査するのは難しいと言う問題点があった。

【0016】本発明は、上記問題点を解決するためになされたもので、その目的は、チップのパターン検査装置および方法において、そのチップ内で複数の性質を持つ領域が存在して、明るさが領域により異なる場合や、繰り返し性が複数ある場合においても、チップ全面で良好な検出感度を得ることができ、その複数の領域にわたって検査を統一のおこなうことのできるパターン検査方法およびその装置を提供することにある。

【0017】

【課題を解決するための手段】上記目的を達成するために、本発明のチップのパターン検査装置に係る発明の構成は、基板上に同一のチップと異なるように複数個配置して形成されたチップを検査するためのチップのパターン欠陥検査装置において、被検査パターンの検出画像信号を検出する手段と、ある検査パターンの検出画像信号を、そのチップ内、または、これを基板上の隣接あるいは離れた被検査パターンの検出画像信号と比較する手段

とを有し、そのチップを複数の領域に論理的に分割して、その分割された複数の領域に応じて、検出画像信号に対して変換をおこなない、それら変換の結果を用いて前記パターンを検査するようにしたものである。

【0018】より詳しくは、上記チップのパターン検査装置において、前記分割された複数の領域に応じて、検出画像信号に対しておこなう変換が、検出画像信号の階調変換であるようにしたものである。

【0019】また詳しくは、上記チップのパターン検査装置において、前記分割された複数の領域に応じて、検出画像信号に対しておこなう変換が、データを比較する際のデータ読み出しの遅延量であるようにしたものである。

【0020】別に詳しくは、上記チップのパターン検査装置において、前記分割された複数の領域に応じて、欠陥判定パラメータを異ならせて前記パターンを検査するようにしたものである。

【0021】また、領域の分割について詳しくは、上記チップのパターン検査装置において、前記領域を論理的に分割するのを、予め収集した画像データに基づいて判別するようにしたものである。

【0022】別に詳しくは、上記チップのパターン検査装置において、前記領域を論理的に分割するのを、設計データに基づいて判別するようにしたものである。

【0023】また別に詳しくは、上記チップのパターン検査装置において、前記領域を論理的に分割するのを、実測値データに基づいて判別するようにしたものである。

【0024】上記目的を達成するために、本発明のチップのパターン検査装置に係る発明の構成は、基板上に同一のチップとなるように複数個配置して形成されたチップを検査するためのチップのパターン欠陥検査方法において、被検査パターンを検出画像信号を検出して、ある検査パターンの検出画像信号を、そのチップ内、または、これを基板上の隣接あるいは離れた被検査パターンの検出画像信号と比較し、そのチップを複数の領域に論理的に分割して、その分割された複数の領域に応じて、検出画像信号に対して変換をおこなない、それら変換の結果を用いて前記パターンを検査するようにしたものである。

【0025】より詳しくは、上記チップのパターン検査方法において、前記分割された複数の領域に応じて、検出画像信号に対しておこなう変換が、検出画像信号の階調変換であるようにしたものである。

【0026】また詳しくは、上記チップのパターン検査方法において、前記分割された複数の領域に応じて、検出画像信号に対しておこなう変換が、データを比較する際のデータ読み出しの遅延量であるようにしたものである。

【0027】別に詳しくは、上記チップのパターン検査

方法において、前記分割された複数の領域に応じて、欠陥判定パラメータを異ならせて前記パターンを検査するようにしたものである。

【0028】また、領域の分割について詳しくは、上記チップのパターン検査方法において、前記領域を論理的に分割するのを、予め収集した画像データに基づいて判別するようにしたものである。

【0029】別に詳しくは、上記チップのパターン検査方法において、前記領域を論理的に分割するのを、設計データに基づいて判別するようにしたものである。

【0030】また別に詳しくは、上記チップのパターン検査方法において、前記領域を論理的に分割するのを、実測値データに基づいて判別するようにしたものである。

【0031】

【発明の実施の形態】以下、本発明の各実施形態を、図1ないし図22を用いて説明する。

【0032】【本発明に係るチップのパターン検査装置概要】先ず、図1ないし図4を用いて本発明に係るチップのパターン検査装置の概要について説明する。図1は、本発明に係るチップのパターン検査装置を示す構成図である。図2は、本発明に係る他のチップのパターン検査装置を示す構成図である。図3は、本発明に係るまた他のチップのパターン検査装置を示す構成図である。図4は、本発明に係るさらに他のチップのパターン検査装置を示す構成図である。

【0033】検査装置は、XYZ $\theta$ テーブル1上、ウエハ2を搭載する台を有している。XYZ $\theta$ テーブル1は、ステージ上に固定されたウエハ2をステージによって順次X、Y方向に移動し、ウエハ2上のパターン情報を収集する。

【0034】そして、被検査対象であるウエハは、照明光源4から照らされ、対物レンズ3、ハーフミラー5、ズームレンズ6、センサ7という順に光が伝えられる。先ず、ウエハ2には照明光源4からの光がハーフミラー5、対物レンズ3を通して照明され、ウエハ2からの反射光が対物レンズ、ズームレンズ6により所定の大きさに拡大され、センサ7（例えば一次元ラインセンサ）に集光される。センサ7からのアナログ信号は、A/D変換部8によりデジタル信号に変換される。

【0035】領域判定部9は、A/D変換部8により、A/D変換された信号を用いて、今調べているパターンがどの領域にあたるかを判定する。これ以降は、その領域に応じた階調変換パラメータ、遅延量、欠陥判定パラメータの各々が決定されることになる。

【0036】領域別階調変換パラメータ部14は、判定された領域に従って階調変換パラメータを設定する。そして、階調変換部10は、領域別階調変換パラメータ部14により設定された変換パラメータを基にして階調変換をおこなう。階調変換されたデータは、いったん遅延

メモリ17a~cに蓄えられ、遅延量選択部15は、領域判定部9で設定された領域の性質に従って定められる遅延量分遅延させて、遅延メモリ17a~cからデータを読み出す。

【0037】次に、位置合わせ部11が、階調変換されたデータと、遅延量選択部15からの出力データとの位置合わせをおこなう。そして、差画像抽出部12は、この位置合わせされた画像データより差画像を作成する。

【0038】領域別パラメータ部16は、領域判定部9により判定された領域の欠陥判定パラメータを設定する機能を有する。

【0039】最終的に、欠陥判定部13は、領域別パラメータ16により設定された欠陥判定パラメータの値を基にして、差画像抽出部12により得られた画像から欠陥を判定する。

【0040】他の構成としては、図2に示されるようにA/D変換部8から出力されるデジタルデータをいったん画像メモリに蓄え、領域判定部9に入力するようにしても良い。

【0041】また、領域判定のデータをファイルにしておき、図3に示すようにハードディスクのような補助記憶装置から読み出して、領域判定部9に入力しても良い。このときには、予め画像データを収集しているため、ステージ座標とセンサ位置とにより領域は求められる。また、このデータは、チップの設計データでも良い。

【0042】さらに、図4に示されるように画面を見ながらキーボードやマウスなど領域判定のパラメータをおこなえるなど設定のためのユーザインターフェースを持たすようにしても良い。これは、リアルタイムで実測値を入力して領域判定をおこなうときに便利な形態である。

【0043】【階調変換について】本発明の特徴の一つは、パターン欠陥判定であり、領域の性質に応じて領域毎に階調変換を変えることである。

【0044】そこで、以下、図5ないし図15を用いて本発明のパターン検査方法における階調変換の処理について説明する。ここで階調変換とは、画像処理などの技術分野で使われる用語であり、一定の規則の下であるレベルのデジタル信号の値を他のレベルの値に変換することである。

【0045】図5は、半導体チップの領域の別を模式的に示した図である。図6は、領域毎にA/D変換出力の分布を示したグラフである。図7は、各領域のA/D出力値の階調変換後出力を、各領域で異ならせた場合の階調変換のグラフである。図8は、図7で階調変換した場合の各領域でのA/D出力値と、階調変換後の出力を対比して示した図である。図9は、各領域のA/D出力値の平均値での階調変換出力が一定の値になるようにした階調変換のグラフである(その一)。図10は、各領域

のA/D出力値の最大値での階調変換出力が一定の値になるようにした階調変換のグラフである(その一)。図11は、各領域のA/D出力値の平均値での階調変換出力が一定の値になるようにした階調変換のグラフである(その二)。図12は、各領域のA/D出力値の最大値での階調変換出力が一定の値になるようにした階調変換のグラフである(その二)。図13は、各領域の階調変換出力を非線型に変換した階調変換のグラフである。図14は、分布のピークが複数ある場合のA/D変換出力の分布を示したグラフである。図15は、図14に示されるA/D出力の分布に対応して階調変換したときのグラフである。

【0046】上で説明したように、領域別階調変換パラメータ部14は、領域に応じてA/D変換された信号に対して階調変換をおこなう。

【0047】例えば、図5に示す形態のようなチップ22があり、性質の異なった領域A23、領域B24、領域C25があるとする。そして、この領域のA/D変換出力値が、それぞれ、図6に示すように分布を持つとする。このとき、各領域において異なる階調変換をおこなうのが本発明の特徴の一つである。

【0048】(I)階調変換が線形変換のときの例  
先ず、階調変換として、線形変換をする場合について説明しよう。

【0049】例えば、領域毎に階調変換のゲインを変え、図7に示すようにA/D出力値と階調変換後出力とのグラフが、領域に応じてそれぞれ傾きの異なる直線になるように階調変換する。これによって、各領域の図8(a)に示されるようにA/D出力値が異なっていればらつきがあるのが、図8(c)に示されるように、ほぼ同じ階調となり、暗い領域でも高い感度の検査が可能となる。

【0050】なお、変換式より求めた階調変換後の出力が出力最大値101を越える場合には、一定の出力最大値101とする。

【0051】この例では、領域Cの直線の傾きが急であり、領域Aの傾きが緩やかであるので、領域Cの方が同じ出力値のときには、大きな階調に変換されることになる。

【0052】図9で示される例では、この傾きの調整を、各領域における階調の平均値での階調変換後出力が一定の値になるようにしたものである。すなわち、図9に示すようにA23のA/D出力平均値43と領域B24のA/D出力平均値44と領域C25のA/D出力平均値45での階調変換後の出力が、定直線46を通るようにする。したがって、A/D出力値と階調変換後出力とのグラフの傾きは、原点を通り、かつ各領域の平均値での値が定直線46の値となる点を通る直線となる。また、変換式より求めた階調変換後の出力が出力最大値101を越える場合には、一定の出力最大値101とする

る。

【0053】また、同じ線形変換をするにしても別の観点から階調変換をする方法も考えられる。

【0054】上の例では、各領域のA/D出力値の平均値での階調変換後出力を一定の値にするものであったが、この例は、各領域のA/D出力値の最大値での階調変換後出力を一定の値にするものである。この場合には、図10に示すようにA23のA/D出力最大値47と領域B24のA/D出力平均値48と領域C25のA/D出力平均値49での階調変換後の出力が、定直線50を通るようになる。この場合にも、上の例と同様に変換式より求めた階調変換後の出力が出力最大値101を超える場合には、一定の出力最大値101とする。

【0055】次に、各領域のA/D出力値の最小値が異なる場合の階調変換の例について説明しよう。先の例では、A/D出力値の最小値は、一様に零であったが、本例では、各領域毎にA/D出力値の最小値が異なっているものとする。

【0056】そのときに、グラフは、図11に示されるように始点がずれることになる。この図11で示される例は、図9で示した例と同様に、各領域でのA/D出力値の平均値での階調変換後出力値が一定の値になるようにしたものである。この例では、領域C25の最小値が零で、領域B24の最小値が幅52で示される値、領域A51の最小値が幅51で示される値となる。

【0057】同様に、各領域のA/D出力値の最小値のずれがあるときに、図12に示されるように各領域のA/D出力値の最大値が一定の値になるようにすることも考えられる。これは、図10の例と同じ発想によるものである。

【0058】これまで説明してきたように、各領域のA/D出力値の平均値を一定にするか最大値を一定にするかは、領域の差画像がクリアになり、不良が発見しやすい方をケースバイケースに応じて選択すれば良い。

【0059】(II) 階調変換が非線形変換のときの例  
(I) の例では、階調変換は、線形変換を基調とするものであった。これに対し本例は、領域の性質に応じて、A/D出力値からの階調変換を非線形でおこなうものである。このときには、例えば、領域A23、領域B24、領域C25のA/D出力値と階調変換後出力値とのグラフは、図13に示されるようになる。特に、A/D出力値の小さい所、すなわち、暗い所を階調変換後出力値の倍率を大きくしておけば、差画像をとるときに不良が発見しやすくなる。これは、グラフで言えば、原点付近の傾きを急にしておくことを意味する。

【0060】また、A/D出力値の分布が図14に示されるようにaとbのように複数ピークを示すことが有る。このときには、図15に示されるようにaとbでの傾きを急にするようにすれば、A/D出力値の取りやすい所の倍率がおおきくなるため、差画像がクリアにな

り不良が発見しやすくなることが期待される。

【0061】また、図13のように非線形型にしておくと、最大値に漸近的に近づいて行くように階調変換でき、図7、図9ないし図12で示したように滑らかでない点aが存在しないようにできる。非線形の場合には、この点a付近で差画像を取ったときにノイズ等が発生してA/D出力値の変動の影響を受けやすいが、そのような影響を受けない、不良解析に適した安定した差画像を得ることができる。

10 【0062】【画像の遅延について】次に、本発明の一つの特徴は、ウェハ上の各領域の性質に応じて画像データを読み出す際のデータ遅延量を変化させることにある。

【0063】先に、図1で説明したように、階調変換されたデータは、遅延メモリ17a〜17cに入られ、遅延量選択部15によって、各領域の性質に応じた遅延量分の時間、遅延されて読み出されて、位置あわせされた後に、差画像が抽出されることになる。

20 【0064】この遅延量は具体的に、領域に応じて定まるピッチである。例えば、複数の異なるセルピッチが存在する場合は、繰り返しパターン比較検査のための各セルピッチに対応した遅延量と、2チップ比較検査のための1チップの遅延量を持たせれば良い。また、このピッチは、検査のフェーズと目的に従い、設計データを入力しても良いし、実測値を入力しても良い。

【0065】【欠陥判定パラメータについて】次に、本発明のさらに他の特徴のは、ウェハ上の各領域の性質に応じて欠陥判定パラメータを変化させることにある。

30 【0066】上で説明したように、位置あわせされ、差画像が抽出されて、欠陥判定されるわけであるが、領域別パラメータ設定部9により、領域毎の欠陥判定パラメータが設定されて欠陥判定部13により、欠陥判定がなされることになる。

【0067】この領域毎の欠陥判定パラメータは具体的に、これ以上、差画像の出力が大きいときには、不良と判定するためのしきい値である。不良でなくても差画像が大きくなりがちな所には、このしきい値を大きく取り、そうでない所には、しきい値を小さくしてチェックを強化すれば良い。

40 【0068】【領域の判定について】本発明の特徴は、上で述べたように領域の性質に応じて階調変換、比較のためのデータ遅延量、欠陥判定パラメータを変えることにある。

【0069】したがって、チップを複数の領域に論理的に分けて識別することが重要である。

【0070】以下では、図16ないし図20を用いてチップをその領域に分けて判別する手法について説明しよう。図16は、ウェハ上のセルピッチとそのA/D出力値を対比的に示した図である。図17は、領域A、領域B、領域Cのセルピッチと、そのA/D出力値、階調変

11

換後の出力の値を対比的に示した図である。図18は、各領域の領域判定用の4隅の画像位置が求められていることを示す模式図である。図19は、X、Y方向の二方向の繰返しピッチを持つウェハの様子を具体的に示した図である。図20は、X、Y方向の二方向に対応したフーリエ変換の結果を図示したグラフである。

【0071】まず、繰返しパターンからなる領域とそれ以外の領域に分ける手法について説明する。

【0072】繰返しパターンからなる領域とそれ以外の領域に分ける方法として、繰返しパターンが解像しない倍率で画像を収集し、繰返しパターン部では、繰返しパターンが解像する倍率で画像を収集したときと比べてコントラストがほとんどなくなり、ほぼ均一な明るさを持つ。

【0073】例えば、繰返しパターンが図16(a)に示される一定のセルピッチで並んでいるとする。このA/D出力値は、倍率を上げると波形を取り、倍率を下げると波形を取るようになる。このように、繰返しパターン部では、倍率を下げると波形の振幅は、小さくなりコントラストが一定になり、ほぼ均一な明るさを持つことがわかる。

【0074】さて、この特徴を利用して、まずチップ全面において繰返しパターンが解像しない倍率で画像を収集する。そしてこれら得られた画像をずらして、ずらす前の画像と差画像を取る。すると、繰返しパターン部では、図17(a)に示すように出力が小さくなる。これらの移動平均をとると図17(b)に示す出力が得られる。最終的に、これを図17(c)に示すように2値化してくり返しパターンの領域を求めることができる。

【0075】次に、さらに、詳細に領域を設定する方法とセルピッチを求める方法について説明する。上記の方法で図20に示されるように繰返しパターン部の4隅の座標はほぼ求められているため、次にパターンが解像する倍率でこの4隅の画像を収集する。

【0076】すると、セルピッチは、図19に示すようにX方向の繰返しピッチとY方向の繰返しピッチが存在するものとする。

【0077】このときには、図20のe-e'断面とd-d'断面の信号をフーリエ変換すれば、それぞれ、図19(a)、(b)に示すように各ピッチに対応した周波数での値が最大となる。それゆえ、この周波数よりX方向、Y方向のピッチを求めることができる。このようにして求めたセルピッチ分だけ画像をずらして、ずらす前の画像と差画像を取り、例えば2値化すれば、繰返しパターン部の4隅が正確に求められる。

【0078】次に、繰返しパターンが存在しない領域を判別する方法について説明する。

【0079】繰返し性が存在しない領域に分ける場合

12

についても、基本的には繰返し性が存在する場合と同様の手順で領域の区画が求められる。まず、ほとんどのパターンが解像しない倍率で画像を収集し、この画像をずらして、差画像を作成する。そして、移動平均を取りそれを2値化すれば、領域を論理的に分割することができる。

【0080】〔センサの機能を利用した実施形態〕次に、図21ないし図22を用いてセンサの機能を利用した他の実施形態を説明する。図21は、センサのアドレスに同期させて遅延量を決定する本発明に係るパターン検査装置を示す構成図である。

【0081】図22は、センサが複数のチャンネルを持つ場合に、それぞれのチャンネルで遅延量を変化させ得る本発明に係るパターン検査装置を示す構成図である。

【0082】図21に示されるように、遅延メモリ17で遅延させる時間を、アドレスカウンタ103を設け、センサ7のアドレスに同期させてダイナミックに変化させることにより、先の実施形態と同様の機能を実現することができる。

【0083】また、図22に示されるようにセンサが複数のチャンネルを有する場合に、遅延メモリの遅延量をセンサのチャンネル毎に設定する。この図では、チャンネルは3つしか記述されていないが、Nチャンネル存在する場合でも同様の構成は可能である。

【0084】本実施形態では、センサに対応して遅延機能を持たせるだけでなくで現状の検査装置に多少の改良で達成できる。

【0085】また、本実施形態では、チャンネル毎に遅延量を設定するため1つのチャンネル内に2種類の遅延量が存在する場合はどちらか一方がセル比較できないという不都合が発生する。しかしながら、チャンネルあたりのウェハ上の長さは約30μmとごく短い長さなので、全体の検査領域から見ればごく短い範囲に過ぎないため、実際に使用する上ではさほど問題は生じないと思われる。

【0086】〔工程上の工夫、その他〕本発明は、パターン検査において、領域を論理的に分割してその領域毎に処理を変える方法であった。そのため、領域を論理的に分割するので、領域毎に欠陥サイズ、個数等を算出することは容易である。そして、そのデータを用いて各領域における欠陥履歴、欠陥数の変化を調べ、歩留まり等に影響を及ぼすと判断されたときは警告を発し、異常を対策するために用いることができる。

【0087】半導体ウェハの検査工程には、様々な工程があるが、各領域においてそれらの工程間で、検査の感度を同じに設定できれば、生産能率の向上に結び付けることができる。

【0088】なお、これまでの実施形態の説明は、全て光学的検出手段を用いた装置について説明したが、本発明は、電子光学的検出手段、散乱光検出手段等いかなる

検出手段を用いる方式でも実施することができる。

【0089】

【発明の効果】本発明によれば、チップのパターン検査装置および方法において、そのチップ内で複数の性質を持つ領域が存在して、明るさが領域により異なる場合や、繰り返し性が複数ある場合においても、チップ全面で良好な検出感度を得ることができ、その複数の領域にわたって検査を統一のおこなうことのできるパターン検査方法およびその装置を提供することができる。

【図面の簡単な説明】

【図1】本発明に係るチップのパターン検査装置を示す構成図である。

【図2】本発明に係る他のチップのパターン検査装置を示す構成図である。

【図3】本発明に係るまた他のチップのパターン検査装置を示す構成図である。

【図4】本発明に係るさらに他のチップのパターン検査装置を示す構成図である。

【図5】半導体チップの領域の別を模式的に示した図である。

【図6】領域毎にA/D変換出力の分布を示したグラフである。

【図7】各領域のA/D出力値の階調変換後出力を、各領域で異ならせた場合の階調変換のグラフである。

【図8】図7で階調変換した場合の各領域でのA/D出力値と、階調変換後の出力を対比して示した図である。

【図9】各領域のA/D出力値の平均値での階調変換出力が一定の値になるようにした階調変換のグラフである（その一）。

【図10】各領域のA/D出力値の最大値での階調変換出力が一定の値になるようにした階調変換のグラフである（その一）。

【図11】各領域のA/D出力値の平均値での階調変換出力が一定の値になるようにした階調変換のグラフである（その二）。

【図12】各領域のA/D出力値の最大値での階調変換出力が一定の値になるようにした階調変換のグラフである（その二）。

【図13】各領域の階調変換出力を非線型に変換した階調変換のグラフである。

【図14】分布のピークが複数ある場合のA/D変換出力の分布を示したグラフである。

【図15】図14に示されるA/D出力の分布に対応して階調変換したときのグラフである。

【図16】ウェハ上のセルピッチとそのA/D出力値を対比的に示した図である。

【図17】領域A、領域B、領域Cのセルピッチと、そのA/D出力値、階調変換後の出力の値を対比的に示した図である。

【図18】各領域の領域判定用の4回の画像位置が求め

られていることを示す模式図である。

【図19】X、Y方向の二方向の繰り返しピッチを持つウェハの様子を具体的に示した図である。

【図20】X、Y方向の二方向に対応したフーリエ変換の結果を図示したグラフである。

【図21】センサのアドレスに同期させて遅延量を決定する本発明に係るパターン検査装置を示す構成図である。

【図22】センサが複数のチャンネルを持つ場合に、それぞれのチャンネルで遅延量を変化させ得る本発明に係るパターン検査装置を示す構成図である。

【図23】ある領域Aのピッチが $\alpha$ であり、他の領域Bのピッチがそれとは異なった $\beta$ であることを示す模式図である。

【図24】マイクロプロセッサが複数の領域を持つことを示した模式図である。

【図25】図24に示される各断面での明るさを表したグラフである。

【図26】従来技術に係るA/D出力値と階調変換出力との関係を示すグラフである。

【図27】領域Aと領域Bとの差画像信号と、理想的なしきい値を比較して示したグラフである。

【符号の説明】

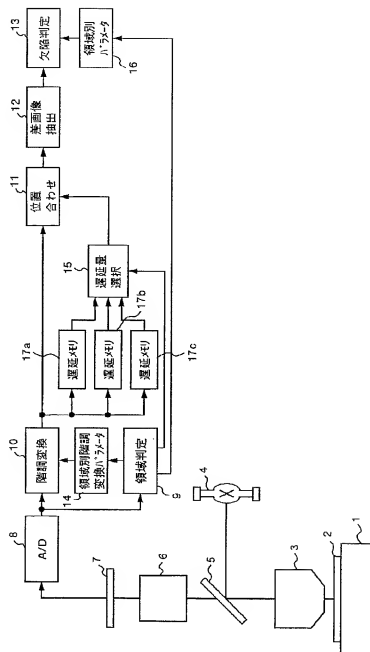
1…XYZ $\theta$ テーブル、2…ウェハ、3…対物レンズ、4…照明光源、5…ハーフミラー、6…ズームレンズ、7…センサ、8…A/D変換器、9…領域判定部、10…階調変換部、11…位置合わせ部、12…差画像抽出部、13…欠陥判定部、14…領域別階調変換パラメータ設定部、15…遅延量選択部、16…領域別パラメータ設定部、17…遅延メモリ、18…画像メモリ部、19…ステージ座標部、20…設計データ部、21…ユーザインタフェース部、22…チップ、23…領域A、24…領域B、25…領域C、26…領域Aの繰り返しピッチ、27…領域Bの繰り返しピッチ、28…領域AのA/D出力分布、29…領域BのA/D出力分布、30…領域CのA/D出力分布、31…A/D出力と階調変換後出力の関係直線、32…領域Cの階調変換後出力幅、33…領域Bの階調変換後出力幅、34…領域Aの階調変換後出力幅、35…領域AでのA/D出力と階調変換後出力の関係直線、36…領域BでのA/D出力と階調変換後出力の関係直線、37…領域CでのA/D出力と階調変換後出力の関係直線、38…領域Aでの検出画像の差信号、39…領域Aでのしきい値、40…欠陥、41…領域Bでの検出画像の差信号、42…領域Bでの理想的しきい値、43…領域AのA/D出力平均値、44…領域BのA/D出力平均値、45…領域CのA/D出力平均値、46…階調変換出力値、47…領域AのA/D出力最大値、48…領域BのA/D出力最大値、49…領域CのA/D出力最大値、50…領域CでのA/D出力最小値と領域Bでの出力最小値の差、51…領域C



でのA/D出力最小値と領域Aでの出力最小値の差。

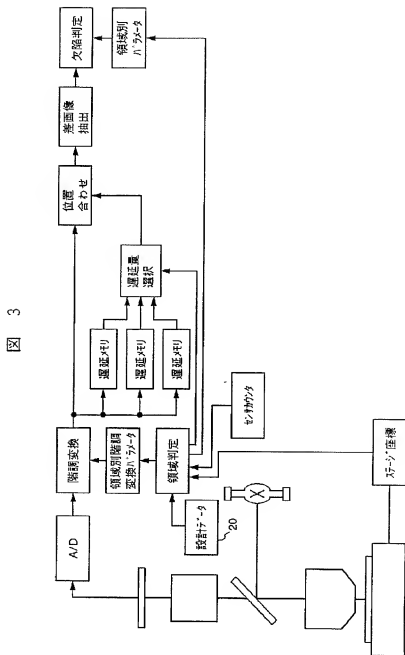
〔図1〕

図 1





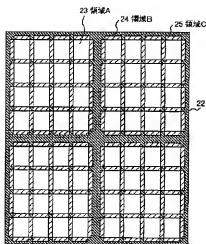
【圖3】





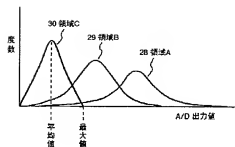
【図5】

図 5



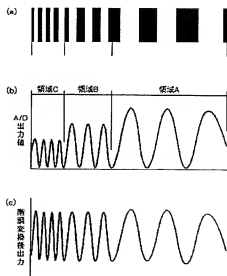
【図6】

図 6



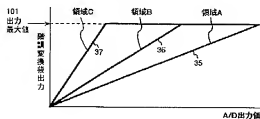
【図8】

図 8



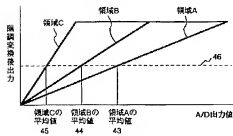
【図7】

図 7



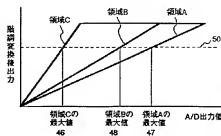
【図9】

図 9



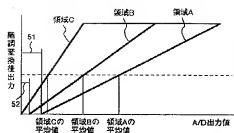
【図10】

図 10



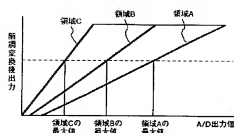
【図11】

図 11



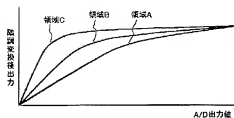
【図12】

図 12



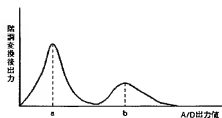
【図13】

図 13



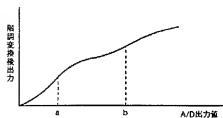
【図14】

図 14



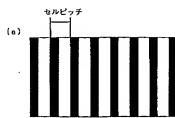
【図15】

図 15



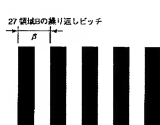
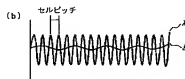
【図16】

図 16



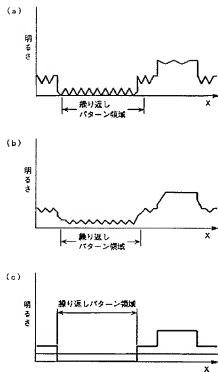
【図23】

図 23



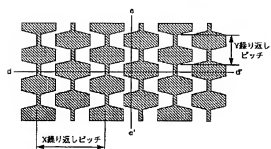
【図17】

図 17



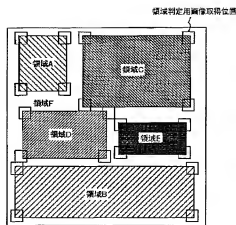
【図19】

図 19



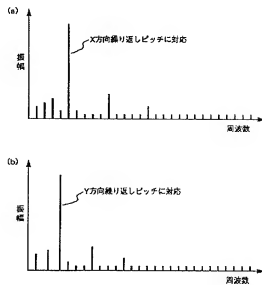
【図18】

図 18



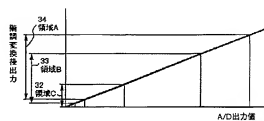
【図20】

図 20



【図26】

図 26



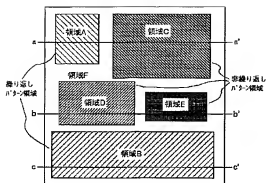






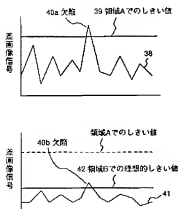
【図 24】

図 24



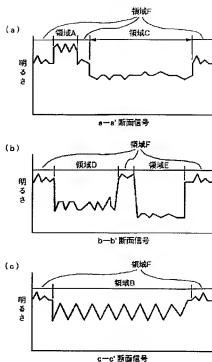
【図 27】

図 27



【図 25】

図 25



フロントページの続き

(72)発明者 牧平 坦

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 吉田 実

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内

(72)発明者 芝田 行広

神奈川県横浜市戸塚区吉田町292番地 株  
式会社日立製作所生産技術研究所内